

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-031747

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

H01L 21/82
G06F 17/50

(21)Application number : 09-185381

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.07.1997

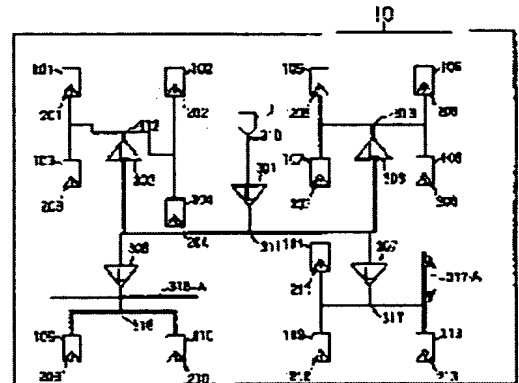
(72)Inventor : KIMURA KAZUNARI

(54) DESIGN DEVICE FOR CLOCK OF SEMICONDUCTOR INTEGRATED CIRCUIT, DESIGN AND CLOCK FEED CIRCUIT NETWORK THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a difference in the delays of the clocks of a semiconductor integrated circuit, by a method wherein a load capacitance adjusting means is constituted into a structure, wherein a dummy buffer circuit, a dummy clock input circuit and a dummy wiring are connected with each circuit on the basis of a difference between the load capacitances of the circuits, which is obtained by calculating the load capacitances, to adjust the load capacitances of the circuits roughly equal to each other.

SOLUTION: Differences between the terminal capacitances 201 to 204, 205 to 208, 209 and 210 and 211 to 213 of clock input terminals 101 to 104, 105 to 108, 109 and 110 and 111 to 113, which are respectively connected with buffer elements 202, 203, 306 and 307, are calculated. The total terminal capacitances of the element 302, the total terminal capacitances of the element 303, the total terminal capacitances of the element 306 and the total terminal capacitances of the element 307 are respectively denoted as the reference numerals 4, 5, 2 and 3. As the largest total terminal capacitances among the total terminal capacitances are the reference numeral 5 of the element 303, the wiring capacitance of a wiring of the component 1 of a difference between the total terminal capacitances of the elements 303 and 302, the wiring capacitance of a wiring of the component 3 of a difference between the total terminal capacitances of the elements 303 and 306, and the wiring capacitance of a wiring of the component 2 of a difference between the total terminal capacitances of the elements 303 and 307, are respectively added to each of the other buffer elements 302, 306 and 307 to equally adjust the load capacitances of the elements 302, 303, 306 and 307 to each other.



電力消費量の低減 : 要旨
遅延の調整 : 2 頁目

LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection] 08.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 31747/1999 (Tokukaihei 11-31747)

A. Relevance of the Above-identified Document

This document has relevance to all claims of the present application.

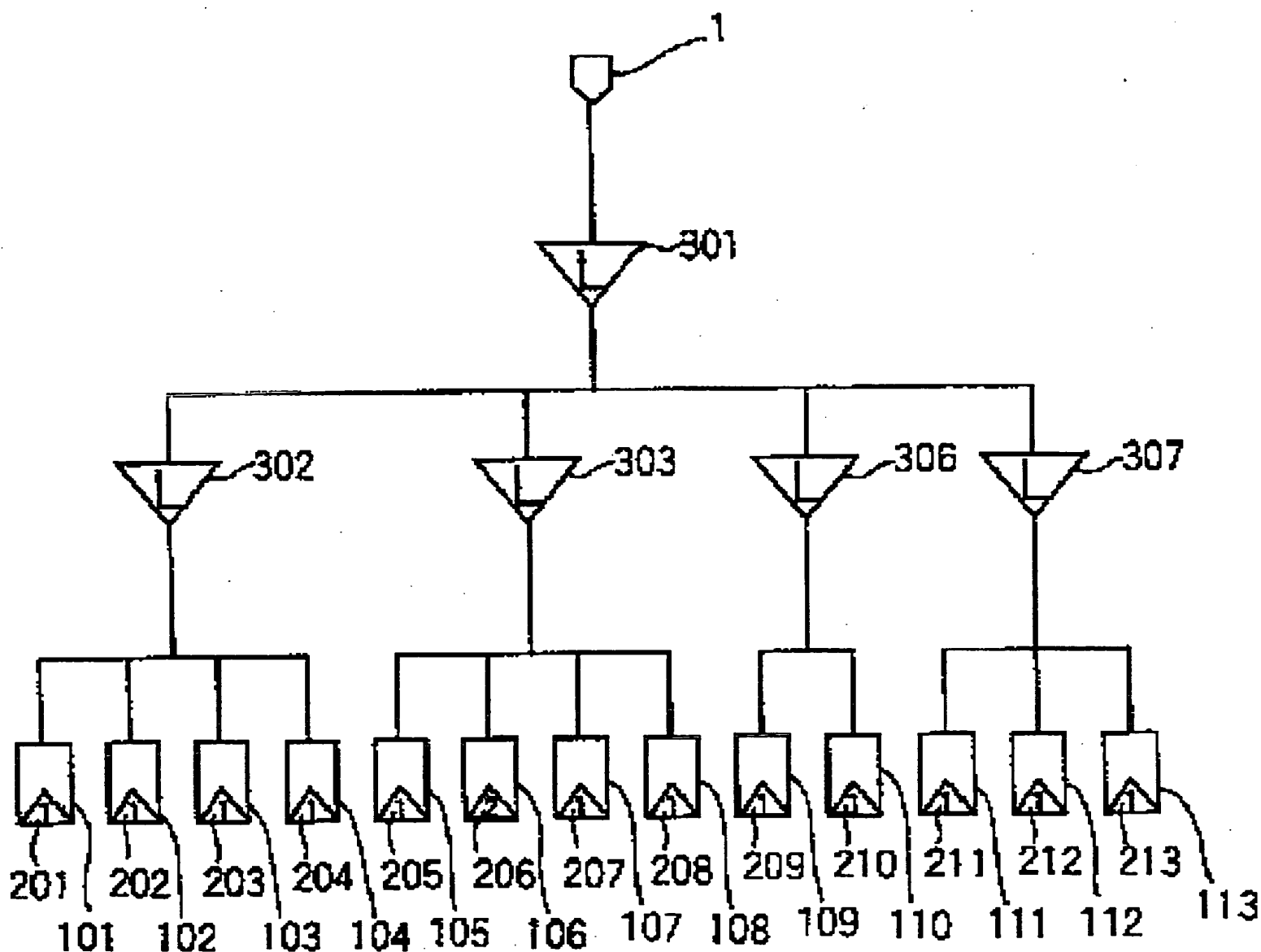
[EMBODIMENTS]

[0030]

As shown in Figures 3 and 4, in creation of a clock tree of the clock CLK1, the number of buffer element stages from the clock supplying element 1 to the corresponding clock input are unified with respect to all of clock input element 101 through 113, and the types of buffer element (i.e., driving ability) of the clock supplying element 1, and the second-stage buffer elements 302, 303, 306, and 307 are unified. Further, the deference among the respective terminal capacitances of the clock input terminal elements 201 through 213 connected to the those buffer elements are found, so as to equalize the respective load capacitances to which the buffer elements 302, 303, 306 and 307 are connected. According to the calculation, which reveals that the gross terminal capacitance of the buffer element 302 is 4, the gross terminal capacitance of the buffer element 303 is 5, the gross terminal

capacitance of the buffer element 306 is 2, the gross terminal capacitance of the buffer element 307 is 3. Since the calculation shows that the largest gross terminal capacitance of the buffer element 303 is 5, the other buffer elements 302, 306 and 307 are provided with additional wiring capacitances, respectively, whose quantity is determined based on the differences between the largest buffer element 303 and the respective other buffer elements (i.e., the buffer elements 302, 306 and 307 are provided with 1, 3, and 2, respectively). More specifically, the wiring 316 connected to the buffer element 306 is provided with partial wiring with wiring capacitance of 316-A, and the wiring 317 connected to the buffer element 307 is provided with partial wiring with wiring capacitance of 317-A. As to the wiring 312 connected to the buffer element 302, no capacitance is added since its wiring capacitance is greater than that of the wiring 313 connected to the buffer element 303 as shown above. In this manner, the load capacitances of the respective buffer elements 302, 303, 306 and 307 are unified.

[FIGURE 3]





1 : clock supplying element of the clock CLK1


101~113 : clock input element

201~213 : terminal capacitance value of clock input element

301~303, 306, 307 : buffer element

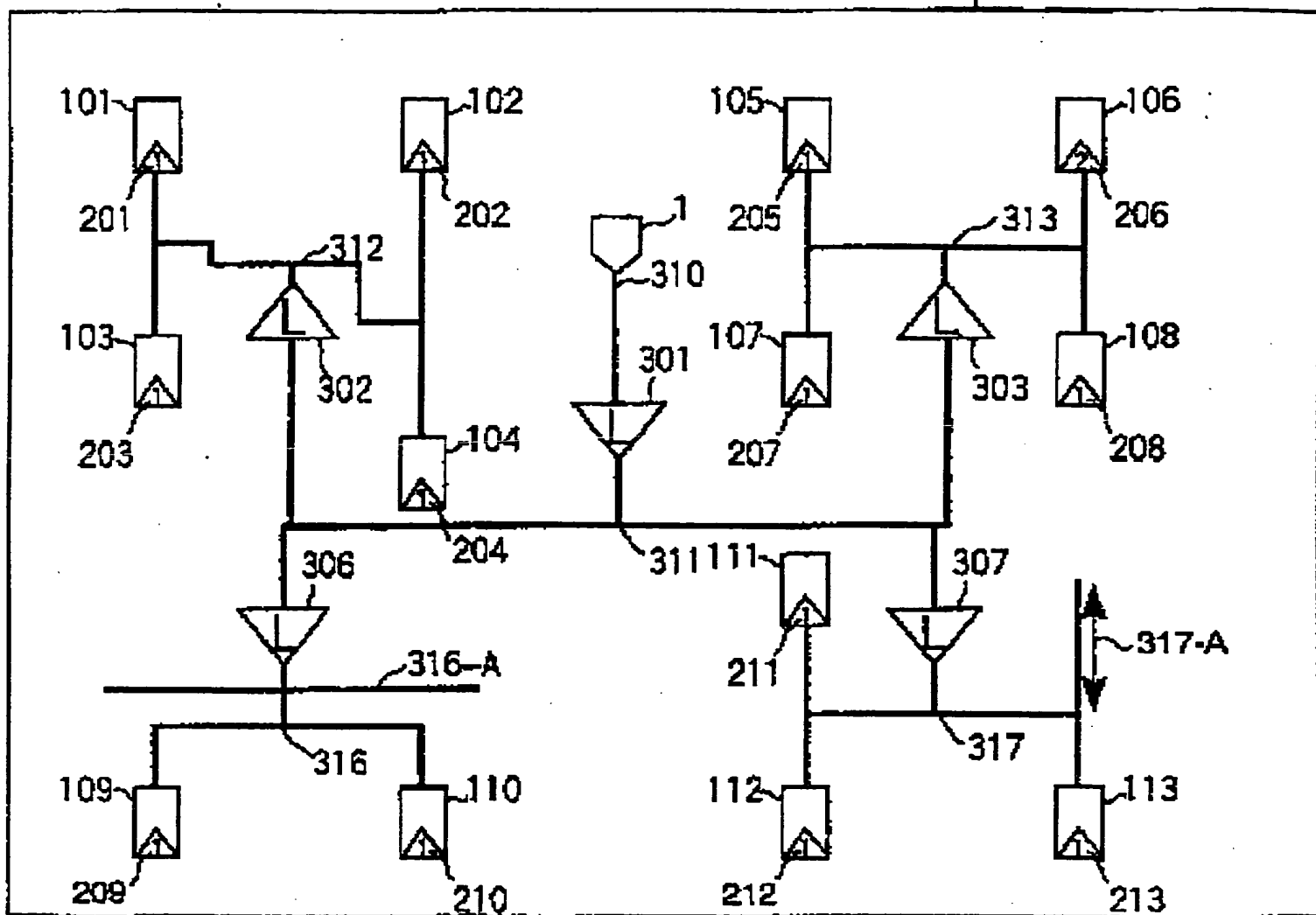
 : driving ability
large

 : driving ability
medium

 : driving ability
small

[FIGURE 4].

10



wiring layer of vertical wiring: first layer

wiring layer of horizontal wiring: second layer

- 1 : clock supplying element of the clock CLK1
 10 : plane of semiconductor integrated circuit
 101~113 : clock input element
 201~213 : terminal capacitance value of clock input element
 301~303, 306, 307 : buffer element



driving ability
large



driving ability
medium



driving ability
small

310~313, 316, 317 : wiring between elements

316-A, 317-A : partial wiring

(10) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開平11-31747
(43) 公開日 平成11年(1999) 2月2日

(51) Int. Cl. ⁴	識別記号	P I
H 01 L 21/82	H 01 L 21/82	W
G 06 F 17/50	G 06 F 15/00	6 5 6 D

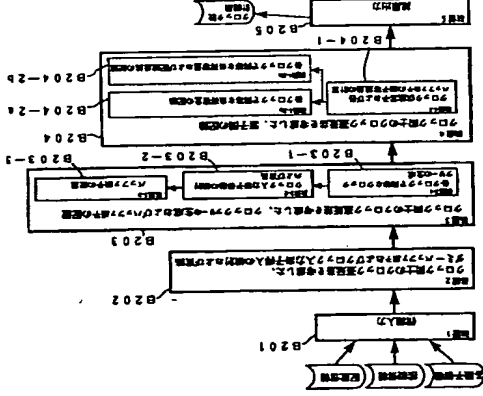
審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号	特願平9-185381	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成9年(1997) 7月10日	(72) 発明者	神奈川県川崎市幸区堀川町72番地 木村 一成
		(70) 代理人	神奈川県川崎市幸区堀川町580番1号 株 式会社東芝半導体システム技術センター内 井理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体集積回路のクロック供給回路の設計方法及び半導体集積回路のクロック供給回路網

【要約】 この発明は、製造工程、温度及び電源電圧などの変動によりクロック遅延を一律にし、クロック遅延型(スキュー)を低減した半導体集積回路のクロック設計装置及び設計方法ならびにクロック供給回路網を提供することを課題とする。

【解決手段】 この発明は、バッファ回路の段数、駆動力を同一とし、かつダミーのバッファ回路、ダミーのクロック入力回路、ダミーの配線を付加して各回路の負荷容量が略同一となるように調整して構成される。



(1)

【特許請求の範囲】

- 【請求項1】 バッファ回路を介してクロック供給回路と複数のクロック入力回路とを接続し、前記クロック供給回路と前記クロック入力回路とに挿入される前記バッファ回路の段数を同一に設定する手段と、
- 前記クロック供給回路と前記クロック入力回路とに挿入される前記バッファ回路の駆動力を同一に設定する手段と、
- 前記バッファ回路に接続される負荷容量を略同一に調整する負荷容量調整手段を有し、
- 前記負荷容量調整手段は、前記バッファ回路に接続された回路の各段で回路間を接続する配線の長さならびに幅を可能な限り同一とし、前記各回路に接続される負荷容量を算出し、算出した負荷容量の差異に基づいて前記各回路にダミーのバッファ回路、ダミーのクロック入力回路、ダミーの配線を接続して負荷容量を略同一に調整する手段を含むことを特徴とする半導体集積回路のクロック設計装置。
- 【請求項2】 前記負荷容量調整手段は、前記クロック入力回路の配置を移動して前記バッファ回路と前記クロック入力回路の配線長を調整する手段を有することを特徴とする請求項1記載の半導体集積回路のクロック設計装置。
- 【請求項3】 それぞれ独立してクロックを出力する複数の前記クロック供給回路を有し、前記それぞれのクロック供給回路に対応したバッファ回路と前記クロック供給回路とを設計対象とすることを特徴とする請求項1又は請求項2記載の半導体集積回路のクロック設計装置。
- 【請求項4】 バッファ回路を介してクロック供給回路と複数のクロック入力回路とを接続し、前記クロック供給回路と前記クロック入力回路とに挿入される前記バッファ回路の段数を同一に設定する手段と、
- 前記クロック供給回路と前記クロック入力回路とに挿入される前記バッファ回路の駆動力を同一に調整する手段と、
- 前記バッファ回路に接続される負荷容量を略同一に調整する負荷容量調整手段を有し、
- 前記負荷容量調整手段は、前記バッファ回路に接続された回路の各段で回路間を接続する配線の長さならびに幅を可能な限り同一とし、前記各回路に接続される負荷容量を算出し、算出した負荷容量の差異に基づいて前記各回路にダミーのバッファ回路、ダミーのクロック入力回路、ダミーの配線を接続して負荷容量を略同一に調整する手段を含むことを特徴とする半導体集積回路のクロック設計装置。
- 【請求項5】 前記調整手段は、前記クロック入力回路の配置を移動して前記バッファ回路と前記クロック入力回路の配線長を調整する手段を有することを特徴とする請求項1又は請求項2記載の半導体集積回路のクロック設計装置。

(1)

- 【請求項6】 それぞれ独立してクロックを出力する複数の前記クロック供給回路を有し、前記それぞれのクロック供給回路に対応したバッファ回路と前記クロック供給回路とを設計対象とすることを特徴とする請求項4又は請求項5記載の半導体集積回路のクロック設計装置。
- 【請求項7】 バッファ回路を介してクロック供給回路と複数のクロック入力回路とを接続し、前記クロック供給回路と前記クロック入力回路とに挿入される前記バッファ回路の段数を同一に設定する手段と、
- 前記クロック供給回路と前記クロック入力回路とに挿入される前記バッファ回路の駆動力を同一に調整する手段と、
- 前記バッファ回路に接続される負荷容量を略同一に調整する負荷容量調整手段を有し、
- 前記負荷容量調整手段は、前記バッファ回路に接続された回路の各段で回路間を接続する配線の長さならびに幅を可能な限り同一とし、前記各回路に接続される負荷容量を算出し、算出した負荷容量の差異に基づいて前記各回路にダミーのバッファ回路、ダミーのクロック入力回路、ダミーの配線を接続して負荷容量を略同一に調整する手段を含むことを特徴とする半導体集積回路のクロック供給回路網。
- 【請求項8】 前記負荷容量調整手段は、前記クロック入力回路の配置を移動して前記バッファ回路と前記クロック入力回路の配線長を調整する手段を有することを特徴とする請求項7記載の半導体集積回路のクロック供給回路網。
- 【発明の詳細な説明】
- 【0001】
- 【発明の属する技術分野】 本発明は、半導体集積回路のクロック設計におけるクロック内及び複数のクロック同士のクロック遅延差が、製造工程、温度及び電源電圧などの変動の影響を受けずに半導体集積回路のクロック設計装置及び半導体集積回路のクロック設計方法ならびに半導体集積回路のクロック供給回路網に関する。
- 【0002】
- 【従来の技術】 半導体集積回路のクロック設計において、クロック内のクロック供給素子から各クロック入力素子間のクロック遅延差を許容範囲内にするために、以下に示す手段(a)、(b)及び(c)によりクロック供給素子から各クロック入力素子間にクロックツリーの生成を行っている。
- 【0003】 (a) クロック供給素子及びクロック入力素子の位置を考慮し、クロック供給素子から各クロック入力素子間にクロックツリーのバッファ素子を生成する手段、このバッファ素子を配置する手段、かつクロック供給素子とバッファ素子間、バッファ素子同士、及びバッ

(3)

フア素子とクロック入力素子間を配線する手段によりクロック遅延を調整しクロック遅延差を許容範囲内にして
いる。

【0004】(b) 各バッファ素子に接続するクロック入力素子の端子容量及び配線容量に差異がある場合は、バッファ素子の駆動力を要する手段によりクロック遅延を調整してクロック遅延差を許容範囲内に行っている。

【0005】(c) 各クロックは手段(a)及び(b)でクロックツリーの生成を行い、クロック同士のクロック遅延が許容範囲内に納まっている場合には、各クロックのクロック遅延を合わせて、クロック遅延を許容範囲内にする手段、各クロックのバックファクタの駆動力を算える手段、かつ各クロックにクロック遅延調整用のバックファクタを挿入する、すなわちクロックツリーのバックファクタ段数を変える手段によりクロック同士のクロック遅延が許容範囲内にしていく。

【0006】一般に、クロック供給素子及びバッファ素子からこの素子に接続するバッファ素子及びクロック入力素子間のクロック遅延は、クロック供給素子及びバッファ素子に接続する素子の端子容量及び配線の長さに対応する配線容量の総和容量が大きくなるとクロック遅延は大きくなり、クロック供給素子及びバッファ素子の駆動力が大きくなるとクロック遅延は小さくなる。また、クロック供給素子及びバッファ素子からバッファ素子及びクロック入力素子間の配線距離が長くなると、すなわち配線抵抗が大きくなるとクロック遅延は大きくなる。

【0007】次に、図10に示す従来の半導体集積回路のクロック設計装置及び図11に示す設計方法のフローチャートを参照して上記従来技術を説明する。

【0008】図10及び図11において、A101、B101では、各素子の情報、クロック供給素子及びクロック入力素子間の接続情報、及び半増倍戻帰回路の平面の素子配置情報を入力する。次にA102、B102では、クロック母にクロックツリー1の生成及びバッファ素子を配置する。詳細はA102-1、B102-1で上記(a)手段のクロック供給素子からクロック入力素子間にクロックツリーを生成し、A102-2、B102-2で上記(b)手段のバッファ素子を配置し、A102-3、B102-3で上記(c)手段の各バッファ素子に接続するクロック入力素子の増倍容量及び配線容量の逆算を計算し、逆算がある場合にはバッファ素子の駆動力を変更する。A103、B103では、複数クロックの場合はクロック同士間のクロック遅延を調整する。詳細はA103-1、B103-1で上記(c)手段のクロック同士のクロック遅延が許容範囲内に納まっている場合は、A103-2で各クロックのバッファ素子の駆動力を変え、さらに各クロックのバッファ素子を挿入する。A104、B104では、クロック母に素子間を配線する。最後にA105、B105では、各クロックのクロック配線結果を出力する。

【0009】次に、上記設計装置ならびに設計方法を用いたクロック設計例を図12～図19を参照して説明する。

【0010】まず、図12に示すように、クロック供給端子1にクロック入力素子101~113が接続されておらず、図13に示す各素子101~113の配座位置、クロック入力素子101~113の端子容量201~213、各素子間の配線容量、かつ各素子間の配線遅延を考慮し、上記(a)手順によりクロック供給素子1を決定する。

図11から各クロック入力素子101～113間のクロック遅延差が許容範囲内になるように、図14に示すように、クロック入力素子301～305をツリ一状に生成し、図15に示すようにバックファ素子301～305を配置し、各素子間を配線310～315により配線している。この時、バックファ素子301～305間で接続されるクロック入力素子101～113の端子容量及び配線容量に留意するため、クロック遅延差が許容範囲内に納まらなければならない。そこで、上記(b)手段によりバックファ素子301～305の駆動力を減えることで、クロック遅延差を許容範囲内にしている。

【0011】また、複数のクロック同士のクロック遅延差を許容範囲内にするために、上記(c)手段により各クロックのクロック供給素子1、2からクロック入力素子101~113、501~503間にクロックツリーの生成を行っている。これを図14~図19を参照して説明する。

【0012】クロックCLK1は図14及び図15に示すように、クロックCLK2は図16及び図17に示すように、上記(a)及び(b)手段によりクロックツリの一の生成を行っている、各クロック内のクロック遅延差を許容範囲内にしている。しかし、クロックCLK2のクロック遅延差がクロックCLK1より小さいため、クロックCLK2はクロックCLK1よりクロック遅延が小さくなり、クロックCLK1とクロックCLK2同士のクロック遅延差が許容範囲内に納まらないう。このため、上記(c)手段により図18及び図19に示すようにクロックCLK2にバツファ素子703を挿入し、クロックCLK2のクロック遅延を大きくし、クロックCLK1とクロックCLK2同士のクロック遅延差を許容範囲内にしている。

【0013】

【発明が解決しようとする課題】以上説明したように、従来のクロック設計技法及び設計方法にあっては、クロック内及びクロック同士のクロック遅延差を許容範囲内にする手段(a)、(b)及び(c)において、以下の示す課題が生じていた。

【0014】各バツファ素子手段に接続する素子の端子容量遅延及び配線容量遅延があり、各バツファ素子手段の駆動力、すなわちバツファ素子の駆動力が異なり、及び各クロ

ックのクロックツリーのハブコア素子段数が異なる状態
で、かつ製造工程、動作温度及び電源電圧などの特定条
件でクロック遅延を調整し、クロック遅延差を許容範囲
内にしているため、製造工程、温度及び電源電圧などが
変動した時に、各ハブコア素子のクロック遅延及び各配
線の配線抵抗によるクロック遅延が変動し、すなわち各
クロック供給素子から各クロック入力素子間のクロック遅
延が変動し、クロック遅延差が許容範囲内に納まらなか
った。

【0015】一般に、製造工程、温度及び電源電圧などが変動すると、素子の増子容量、配線容量、バックアップ素子の駆動力及び配線抵抗などが変動する。また、製造工程、温度及び電源電圧などの変動に対する素子の増子容量、配線容量、バックアップ素子の駆動力及び配線抵抗などの変動はそれぞれ異なる。

【0016】このように、従来では製造工程、温度及び電源電圧などを特定条件でクロック遅延を調整してクロック遅延差を許容範囲内にしてはいるが、一般に製造工程、温度及び電源電圧などには変動するため、クロック遅延差が変動し、クロック遅延差が許容範囲内に納まらなくなり、回路に誤動作が生ずるといった不具合を招いていた。

【0017】そこで、この発明は、上記に鑑みてなされたものである。その目的とするところは、製造工程、動作温度及び電源電圧などの変動によりクロック遅延を低減し、クロック遅延差（スキュー）を低減した半導体装置に、クロック遅延差（スキュー）を低減した半導体装置のクロック設計装置及び設計方法ならびにクロック供給回路網を提供することにある。

【0018】
【課題を解決するための手段】上記目的を達成するため
に、請求項1記載の発明は、バッファ回路を介してクロ
ック供給回路と複数のクロック入力回路がツリー状に接
続され、前記クロック供給回路と前記それぞれ複数のクロッ
ク入力回路間に挿入される前記バッファ回路の段数を同
一に設定する手段と、前記クロック供給回路と前記それ
ぞれのクロック入力回路間に挿入される前記バッファ回
路の駆動力を同一に設定する手段と、前記バッファ回路
に接続される負荷容量を略同一に調整する負荷容量調整
手段を有し、前記負荷容量調整手段は、前記ツリー状に
接続された回路の各段で前記回路を接続する配線の長さな
らびに幅を可能と限り同一とし、前記各回路に接続され
る負荷容量を算出し、算出した負荷容量の差異に基づい
て前記各回路にダミーのバッファ回路、ダミーのクロッ
ク入力回路、ダミーの配線を接続して負荷容量を略同一
に調整する手段を有することを特徴とする。

【0019】請求項2記載の発明は、請求項1記載の半導体集積回路のクロック設計装置において、前記負荷容量調整手段は、前記クロック入力回路の配置を移動して前記クロック入力回路と前記クロック入力回路の配線長を調整する手段を有することを特徴とする。

(3)

【0020】請求項3記載の発明は、請求項1又は2記載の半導体集積回路のクロック設計装置において、それぞれ独立してクロックを出力する複数の前記クロック供給回路を有し、前記それぞれのクロック供給回路に対応したトリ一状態のそれぞれのクロック供給網面を設計対象とすることを特徴とする。

【0021】請求項4記載の発明は、半導体集積回路のクロック設計方法において、バックアップ回路を介してクロック供給回路と複数のクロック入力回路がツリー状に接続され、前記クロック供給回路と前記それぞれのクロック

クロック入力回路面に挿入される前記バッファ回路の段数を同一に設定するステップと、前記クロック供給回路と前記バッファ回路とのそれぞれのクロック入力回路面に挿入される前記バッファ回路の駆動力を同一に設定するステップと、前記バッファ回路の駆動力を同一に接続される負荷容量を略同一に調整する調整ステップを有し、前記調整ステップは、前記ツリー状に

に調整するステップを含むことを特徴とする。

【0022】請求項5記載の発明は、請求項4記載の半導体集積回路のクロック設計方法において、前記開閉スイッチは、前記クロック入力回路の配線を移動して前記クロック入力回路と前記クロック入力回路の配線とを有することを特徴とする。

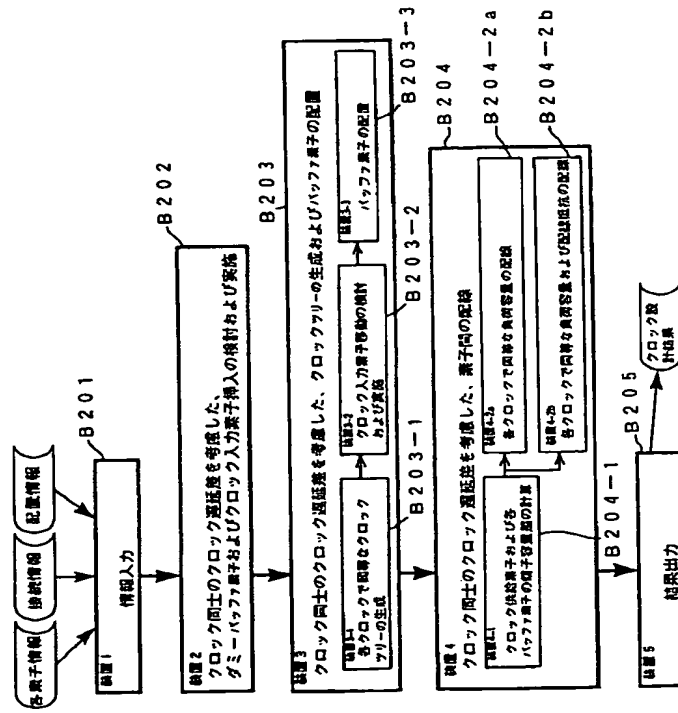
載の半導体集積回路のクロック設計方法において、それぞれ独立してクロックを出力する複数の前記クロック供給回路を有し、前記それぞれクロック供給回路に対応したツリ状態のそれぞれクロック供給期間を設計対象とすることを特徴とする。

【0024】請求項7記載の発明は、バッファ回路を介

(7)

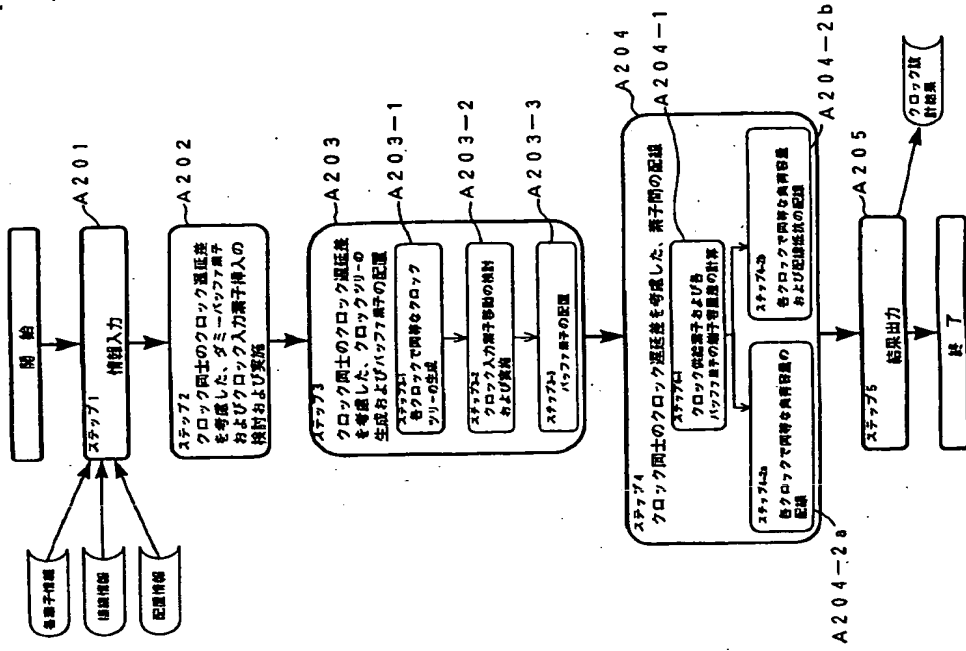
- 1, 2 クロック供給素子
10 半導体集積回路の平面
101~113 クロック入力素子
114~116, 504~512 ダミーのクロック入力素子
201~213, 801~812 クロック入力素子の端子容量値
- 301~307, 701~703, 707, 708 バッファ素子
310~322, 710~721 素子間の配線
318-A, 317-A, 318-A, 319-A, 319-B, 320-A各部分配線
706 ダミーのバッファ素子

【図1】



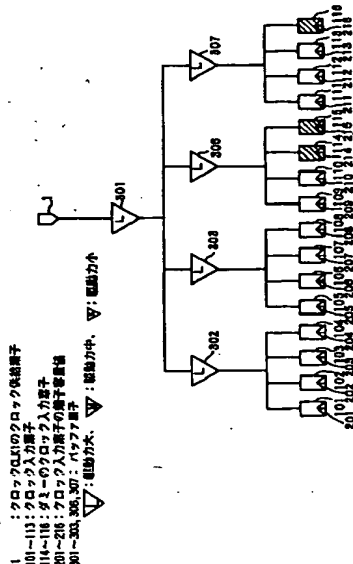
(8)

【図2】

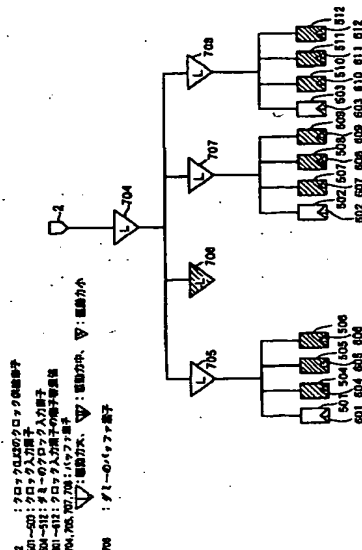


(10)

【図 6】

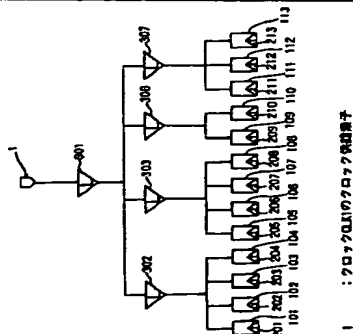


【図 8】



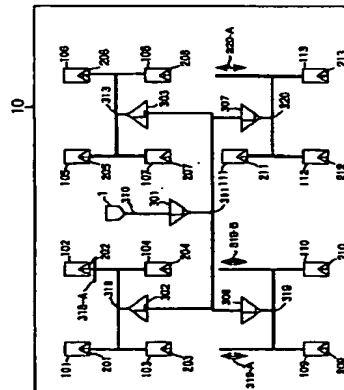
(11)

【図 3】

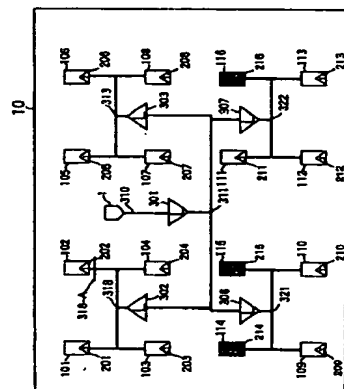


1 : 2ビット並列加算器
101~113 : 2ビットデータ入力端子
201~216 : 2ビット進位入力端子
301~307 : 2ビット進位入力端子
308~313 : 2ビット進位入力端子
314~317 : 2ビット進位入力端子

【図 5】



【図 7】



1 : 2ビット並列加算器
101~113 : 2ビットデータ入力端子
201~216 : 2ビット進位入力端子
301~307 : 2ビット進位入力端子
308~313 : 2ビット進位入力端子
314~317 : 2ビット進位入力端子

1 : 2ビット並列加算器
101~113 : 2ビットデータ入力端子
201~216 : 2ビット進位入力端子
301~307 : 2ビット進位入力端子
308~313 : 2ビット進位入力端子
314~317 : 2ビット進位入力端子

